

Dipl.-Ing. Andreas W. Both, München

# **Steuerwerksynthese für anwendungsspezifische Mikrocontroller**

Reihe **20**: Rechnerunterstützte  
Verfahren

Nr. **259**

## Inhaltsverzeichnis

Einleitung.....	1
Zielsetzung .....	1
Übersicht über die einzelnen Kapitel.....	1
1. Das Konzept anwendungsspezifischer Mikrocontroller .....	3
1.1. Abgrenzung des Designraums.....	3
1.1.1. Klassifizierung von Instruktionssatzprozessoren .....	4
1.1.2. Speicherorganisation.....	5
1.1.3. Weitergehende Designraumabgrenzung.....	6
1.1.4. Beispielprozessoren .....	6
1.2. Designfluß.....	6
1.3. Betrachtung vergleichbarer Entwicklungssysteme.....	13
1.3.1. Synthese anwendungsspezifischer Mikroprozessoren.....	13
1.3.2. Allgemeine Steuerwerksynthese .....	17
2. Beschreibung des Syntheseproblems.....	18
2.1. Das klassische CPU-Modell.....	18
2.2. Steuerwerksalternativen .....	18
2.2.1. Mikroprogrammierte Steuerwerke .....	19
2.2.2. Festverdrahtete Steuerwerke.....	20
2.2.3. Flächenbedarf.....	21
2.3. Einfluß der Datenpfadspezifikation auf das Steuerwerk .....	23
2.3.1. Die Instruktionssatzbeschreibungssprache C2GM.....	23
2.4. Einfluß der Architektur auf das Steuerwerk.....	25
2.4.1. Opcode-Format Design.....	25
2.4.2. Orthogonalität des Instruktionssatzes.....	26
2.4.3. Interrupts.....	26
2.4.4. Pipelining.....	27
3. Implementierungsvarianten .....	30
3.1. Steuerwerkarchitektur.....	30
3.2. Sequenzer-Primitivstrukturen .....	30
3.2.1. Adressinkrementierung.....	31
3.2.2. Verzweigungen mittels Adressgenerator.....	31
3.2.3. Zusammenführungen mittels Adressgenerator.....	32
3.2.4. Instruktionsdekodierung.....	33
3.2.5. Interrupts & Reset .....	33
3.3. Die generischen Sequenzermodelle.....	34
4. Repräsentationsformen zur Steuerwerkssynthese .....	38
4.1. Ein abstraktes Steuerwerksmodell .....	38

4.2. Der Kontrollflußgraph.....	40
4.3. Die Mikroinstruktionstabelle .....	41
4.4. Der Kompatibilitätsgraph .....	42
4.5. Cubes, Subcubes und Hypercubes .....	43
4.6. 4-wertige pseudo-boole'sche Logik .....	44
4.7. Das Dekodernetzwerk.....	45
5. Synthese- und Optimierungsalgorithmen .....	47
5.1. Der Syntheseablauf.....	47
5.2. Zustandskodierung.....	50
5.2.1. Zustandskodierung in festverdrahteten Steuerwerken .....	50
5.2.2. Eine Heuristik zur Zustandskodierung in mikroprogrammierten Steuerwerken.....	52
5.3. Horizontale Mikrocodekompaktierung .....	57
5.3.1. Das Problem der Kompatibilitätsklassen .....	57
5.3.2. Kodierung einer Kompatibilitätsklasse.....	62
5.3.3. Kodierung eines beliebigen Feldes.....	63
5.3.4. Gesamtstrategien zur Bitweitenreduktion .....	68
5.4. Vertikale Mikrocodekompaktierung .....	69
5.4.1. Zustandsreduktion durch Parametrisierung.....	69
5.4.2. Zustandsreduktion durch "Common Tail Sharing".....	70
5.4.3. Zustandsreduktion durch Unterprozedurtechnik .....	70
5.5. Opcodekodierung.....	71
6. Diskussion der Resultate.....	72
6.1. IMS-RISC Prozessor T2 .....	73
6.1.1. Architektur und Befehlssatz .....	73
6.1.2. Entwurfsablauf.....	75
6.1.3. Ablauf und Bewertung der Steuerwerksynthese.....	78
6.2. IMS3311.....	79
6.2.1. Architektur und Kompatibilität.....	79
6.2.2. Entwurfsablauf.....	81
6.2.3. Ablauf und Bewertung der Steuerwerksynthese.....	84
6.3. IMS2205.....	87
6.3.1. Der manuelle Entwurf.....	87
6.3.2. Bewertung.....	88
Zusammenfassung .....	92
Anhang A - Instruktionssätze des T2 und des IMS3311 .....	95
Anhang B - IMS3311 / 68HC11 Zyklenzahlen.....	100
Anhang C - T2 CPSyn Steuerdatei.....	102
Anhang D - IMS3311 CPSyn Steuerdatei .....	104

**Bibliographie**..... 109