

Dipl.-Ing. Heinrich Warmers, Braunschweig

**Simulation digitaler
MOS-Schaltungen auf
Schalterebene unter
Berücksichtigung des
Zeitverhaltens**

Reihe **9**: Elektronik

Nr. **250**

Inhalt

1	Einleitung	1
1.1	Simulation und Verifikation im Entwurfsprozeß	3
2	Prinzipien digitaler MOS-Schaltungen	7
2.1	Der MOS-Transistor	7
2.2	Inverterschaltungen	11
2.3	Verallgemeinerte Inverterschaltungen	15
2.4	Pass-Transistor-Logik	16
2.5	Der Schwellspannungsabfall	19
2.6	Getaktete Schaltungen	19
2.7	Schlußfolgerungen für die Simulation	23
3	SL-Simulation – Stand der Technik	24
3.1	Grundlagen der SL-Simulation	24
3.1.1	Bestimmung des Zielzustandes	26
3.1.2	Erforderliche Signalstärken	26
3.1.3	Pessimismus in der Simulation	27
3.2	Zeitmodelle zur digitalen Simulation	29
3.2.1	Verzögerungsfreie Simulation	29
3.2.2	Einheits-Verzögerung	29
3.2.3	Pseudo-Einheits-Verzögerung	31
3.3	Kontinuierliches Verzögerungsmodell	31
3.3.1	Zuweisungsverzögerung	33
3.3.2	Computed-Delay-Modell	33
3.4	Bekanntes Verfahren zur Zeitbestimmung	34
3.4.1	Analytische Invertermodellierung	34
3.4.2	Tabellenmethoden	34
3.4.3	Empirische Gleichungsbestimmung	35
3.4.4	Verzögerungsbestimmung durch Zeitkonstanten	35
3.5	SL-Simulation mit diskreten Modellen	36
3.5.1	Das CSA-Modell nach Hayes	36
3.5.2	LOGMOS – Ein Verfahren mit lokaler Relaxation	38
3.5.3	Signalflußbestimmung durch lokale Relaxation	38
3.5.4	Diskrete SL-Modelle nach Bryant	40

3.5.5	MOSSIM	41
3.5.6	Beispiele zur Signalflußsimulation in MOSSIM	44
3.5.7	MOSSIM II	46
3.5.8	Signalflußbestimmung durch Wurzelfade in MOSSIM II	46
3.6	SL-Simulation mit kontinuierlichen Modellen	50
3.6.1	RSIM	50
4	Switch-Level-Logiksimulation in BRASIL	58
4.1	BRASIL I, mit einem Graphenverfahren nach MOSSIM	58
4.1.1	Implementation des MOSSIM-Algorithmus in BRASIL I	58
4.2	BRASIL II, ein algebraisches Verfahren nach MOSSIM II	59
4.2.1	Modifikationen in BRASIL II	59
4.2.2	Erhöhung der Simulationsgeschwindigkeit	60
4.2.3	Verbesserte Simulationsaussagen	60
4.2.4	Verbesserte Pass-Transistormodellierung	61
4.2.5	Automatische Stärkeneinteilung	65
4.3	Simulationsexperimente	65
4.4	Bewertung	72
5	SL-Timing-Simulation in BRASIL	73
5.1	Anforderungen zur Timing-Bestimmung	73
5.2	Definition der Verzögerungszeit	76
5.3	Transistormodellierung zur SLTS in BRASIL	79
5.3.1	Ein entkoppeltes Transistormodell	79
5.3.2	Diskretes Kapazitätsmodell	80
5.3.3	Effektive Widerstände	82
5.3.4	Effektive Widerstände bei Sprunganregung	82
5.3.5	Effektive Widerstände bei Sprunganregung für ein RC-Modell mit Summenelementen	84
5.3.6	Effektive Widerstände bei Rampenanregung für ein RC-Modell mit Summenelementen	85
5.4	Untersuchung effektiver Widerstände bei Rampenanregung	86
5.5	Ereignisverwaltung	91
5.5.1	Signaldarstellung in BRASIL	92
5.6	Nullpegelberechnung	94
5.7	Bestimmung des Schwellspannungsabfalls	97

6	Timing-Bestimmung mittels Relaxation in BRASIL III	100
6.0.1	MOS-Teilnetzwerk als lineares RC-Maschennetzwerk	100
6.1	Bestimmung der Lösungsfunktionen durch Relaxation	102
6.2	Integration des Verfahrens in BRASIL III	104
6.3	Simulationsbeispiele	106
6.4	Bewertung	108
7	Timing-Bestimmung über Momente in BRASIL IV	109
7.1	Bestimmung der Schaltungskonfigurationen	109
7.2	Verzögerungsbestimmung in RC-Bäumen	113
7.3	Bestimmung der Anstiegs- und Verzögerungszeiten	116
7.3.1	Verfahrensgrundlagen	116
7.3.2	Verfahrensablauf und Fallunterscheidung	117
7.3.3	Ladungsteilung	119
7.3.4	Getriebene Pfade	121
7.3.5	Behandlung von leitenden Pass-Transistoren und Widerständen	123
7.3.6	Nachbehandlung und Konfliktlösung	125
7.3.7	Konfliktbearbeitung	126
7.4	Übersicht der Simulationsexperimente mit BRASIL IV	129
7.5	Bewertung	130
8	Funktionale Beschreibungen	134
8.1	Einleitung	134
8.2	Realisierung der Funktionsblockschnittstelle	135
8.3	Simulationsbeispiele	137
8.3.1	Simulationsbeispiel zur Timing-Simulation	138
8.3.2	Simulation eines Phasenregelkreises	141
9	Zusammenfassung	145
10	Quellennachweis	148
A	SL-Logiksimulation in BRASIL	160
A.1	Grundlagen des BRASIL II-Verfahrens	160
A.1.1	Eine Algebra der Wurzelpfade	160
A.1.2	Berechnungsbeispiele	163
A.1.3	Lösungsalgorithmus	166
A.1.4	Inkrementelle Lösungsmethode	168

A.1.5	Verfeinerter Lösungsalgorithmus und seine Datenstrukturen	169
A.2	Ergebnislisten zur SLLS mit BRASIL	174
B	BRASIL IV	184
B.1	Elmore-Verzögerung und ihre Abwandlung	184
B.2	Bestimmung der Korrekturfunktionen	187
B.3	Bestimmung der Zeiten bei getriebenen Pfaden	193
B.4	Simulationsexperimente mit BRASIL IV	195
B.4.1	Inverterketten	195
B.4.2	NMOS-Testnetzwerk mit Inverter, Pass-Transistor und NAND-Gatter . .	198
B.4.3	NMOS-Flankendetektor zur Demonstration von Konflikten	201
B.4.4	CMOS-EXOR-Gatter	204
B.4.5	RC-Kette	206
B.4.6	Ladungsteilung	209
B.4.7	Isolierter Knoten	211
B.4.8	NMOS-Schieberegister	212
B.4.9	NMOS-Volladdierer mit Pass-Transistoren	214
B.4.10	NMOS-Zähler mit Pass-Transistoren	216
B.4.11	NMOS-Volladdierer mit Mischgattern	218