

Dipl.-Ing. Klaus Gaedke, Hannover

**Ein netzlistenbasiertes
Verfahren zur Zuverlässig-
keitsanalyse fehler-
toleranter VLSI-Schaltkreise**

Reihe **9**: Elektronik

Nr. **238**

Inhaltsverzeichnis

Verwendete Symbole und Abkürzungen	VII
Abstract	XI
1 Einleitung	1
2 Grundlagen fehlertoleranter VLSI-Schaltkreise	4
2.1 Begriffsdefinitionen	4
2.1.1 Zuverlässigkeit von VLSI-Schaltkreisen	4
2.1.2 Fehlerarten bei VLSI-Schaltkreisen	5
2.1.3 Fehlerursachen bei VLSI-Schaltkreisen	6
2.2 Fehlertoleranztechniken für VLSI-Schaltkreise	8
2.2.1 Hardware-Redundanz bei Schaltnetzen	8
2.2.1.1 Residuen-Codes	13
2.2.1.2 Biresiduen-Codes	16
2.2.2 Hardware-Redundanz bei Schaltwerken	17
2.2.2.1 Mehrfach modulare Redundanz bei Schaltwerken	18
2.2.2.2 Selbstüberwachende Schaltwerke	20
2.2.3 Algorithmen-basierte Fehlererkennung und Fehlertoleranz	24
2.2.3.1 Algorithmen-basierte Fehlererkennung bei der Diskreten-Fourier-Transformation	25
2.2.3.2 Algorithmen-basierte Fehlerkorrektur bei der Matrix-Matrix-Multiplikation	26
3 Bisherige Ansätze zur Zuverlässigkeitsanalyse von fehlertoleranten Schaltkreisen	28
4 Netzlistenbasiertes Verfahren zur Zuverlässigkeitsanalyse fehlertoleranter VLSI-Schaltkreise	33
4.1 Entwurfsmethodik und Netzlisten-Formate	33
4.2 Fehlerlokalisierung bei transienten Fehlern	36
4.3 Netzlistenmodifikation	39
4.3.1 Netzlistenmodifikation unter Berücksichtigung von Macro-Zellen	43
4.4 Anpassung des Verfahrens an unterschiedliche Zell-Bibliotheken	44
4.5 Diskussion verschiedener Fehlermodule	47
4.5.1 Basis-Fehlermodule	47
4.5.2 Erweitertes Fehlermodul zur realistischen Modellierung von Fehlerursachen mit High- und Low-Pegel	49

4.6	Automatisierte Erstellung der Stimuli-Dateien	51
4.7	Simulationsergebnisse für einfache Schaltungsmodule bei Verwendung von grundlegenden Fehlertoleranztechniken	56
4.7.1	Fehlertoleranter 16-Bit-Addierer	56
4.7.2	Fehlertoleranter 6-Bit-Addierer auf der Basis eines fehlerkorrigierenden Bi-Residuen-Codes	61
4.7.3	Fehlertolerantes Steuerwerk	65
5	Vergleich der erreichbaren Genauigkeit mit einem existierenden Verfahren	75
6	Einsatz des vorgeschlagenen Verfahrens bei algorithmen-basierter Fehlererkennung	77
7	Zusammenfassung	80
8	Anhang	82
9	Literaturverzeichnis	86