

Dipl.-Ing. Ulrich Weinmann, Karlsruhe

**Verfahren zur Schaltungs-
partitionierung für
programmierbare Bausteine**

Reihe **9**: Elektronik

Nr. **231**

Inhaltsverzeichnis

1	Einleitung	1
1.1	Die Partitionierung im Schaltungsentwurf.....	3
1.1.1	Ausgangsebenen für die Partitionierung	5
1.1.2	Partitionierungsverfahren	6
1.2	Einführung in programmierbare Logikbausteine (FPGA/CPLD).....	7
1.2.1	Lookup-Tabellen-basierte Architekturen	10
1.2.2	Multiplexer-basierte Architekturen	12
1.3	Aufgabenstellung für die Arbeit	15
1.4	Übersicht der Arbeit.....	16
2	Grundlagen und Problembeschreibung	18
2.1	Die Schaltungsbeschreibung	18
2.1.1	Graphendarstellung der Schaltung	19
2.1.1.1	Zusammenhangsgraph	22
2.1.1.2	Flußgraph	22
2.1.1.3	Retiming.....	23
2.1.2	Funktionsdarstellung der Schaltung	24
2.2	Allgemeine Problemdefinition der Partitionierung	26
2.3	Grundlagen zur linearen Optimierung	27
3	Multi-Chip-Partitionierung	30
3.1	Stand der Technik.....	30
3.1.1	Konstruktive Partitionierungsverfahren	30
3.1.2	Iterative Partitionierungsverfahren.....	31
3.1.3	Bausteinorientierte Multi-Chip-Partitionierung	33
3.2	Übersicht	33
3.3	Vorgruppierung	34
3.3.1	Fluß-Gruppierung.....	36
3.3.2	Zusammenhangs-Gruppierung	42
3.3.3	Verzögerungs-Gruppierung	43
3.4	Iterative Optimierung und Technologieanpassung.....	51
3.5	Komplexitäten und Bewertung	56

4	Technologieabbildung	57
4.1	Stand der Technik	57
4.1.1	Technologieabbildung für Multiplexer-basierte Architekturen	58
4.1.2	Technologieabbildung für Lookup-Tabellen-basierte Architekturen	60
4.1.3	Funktionsdekomposition	60
4.2	Übersicht zur universellen Technologieabbildung	62
4.3	Architekturspezifikation und Bibliotheksgenerierung	64
4.3.1	Spezifikation der Funktionen	64
4.3.2	Spezifikation der Strukturen	67
4.4	Schaltungsdekomposition	72
4.4.1	Die KL-Dekomposition	73
4.5	Modulanpassung und Logikblocküberdeckung	77
4.6	Optimierung der Technologieabbildung durch Retiming-Techniken	81
4.6.1	Retiming und Technologieabbildung	82
4.6.1.1	Lokales Retiming	82
4.7	Einordnung des vorgestellten Ansatzes	86
5	Ein Verfahren zur automatischen Bausteinauswahl	87
5.1	Übersicht zur Partitionierung und Bausteinauswahl	88
5.2	Bestimmung der Implementierungskosten	89
5.3	Lineare Optimierung des Verteilungsproblems	91
5.3.1	Lösung des WLP durch Lagrange Relaxation	92
6	Implementierung und Ergebnisse	94
6.1	Das System COSY	94
6.2	Beispielschaltungen	96
6.3	Partitionierung	98
6.3.1	Bewertungsgrundlage für die Partitionierung	98
6.3.2	Vorgruppierung	99
6.3.3	Iterative Optimierung	101
6.4	Technologieabbildung	104
6.4.1	Lookup-Tabellen Architekturen	104
6.4.2	Multiplexer-Architekturen	106
6.4.3	Untersuchung sequentieller Optimierungen durch Retiming	109
6.5	Systempartitionierung und Implementierung	110
6.5.1	Ausgangsebenen für die Partitionierung	110
6.5.2	Benutzervorgaben und Optimierungsziel	111
6.5.3	Auswertung der Schaltungseingabe	112
6.5.4	Partitionierung mit Bausteinvorgabe	113
6.5.5	Partitionierung ohne Bausteinvorgabe	114
	Zusammenfassung und Ausblick	118
	Anhang	120
	Literaturverzeichnis	124