

Dipl.-Inform. Jochen Schiller, Calw

Teilautomatisierter Entwurf modularer Prozessorsysteme für die Hochleistungs- kommunikation

Reihe **10**: Informatik/
Kommunikationstechnik Nr. **426**

Inhaltsverzeichnis

1 EINLEITUNG UND MOTIVATION	1
1.1 Ziele der Arbeit	3
1.2 Gliederung der Arbeit	4
2 SYSTEME FÜR DIE HOCHLEISTUNGSKOMMUNIKATION	7
2.1 Hochleistungskommunikation	8
2.1.1 Netzwerktechnologie	8
2.1.2 Protokolle	9
2.1.3 Zwischen- und Endsysteme	9
2.1.4 Anwendungen	9
2.2 Fokus der Arbeit	10
2.3 Traditionelle Implementierungsarchitekturen	11
2.3.1 Rechnerarchitektur	11
2.3.2 Netzwerkadapter	13
2.4 Klassifikation untersuchter Ansätze	16
2.4.1 Spezifikation	16
2.4.2 Implementierung	19
2.4.3 Systemarchitektur	20
2.5 Beispiele zur Synthese von Implementierungen	21
2.5.1 Ableitung parallel ausführbarer Protokollimplementierungen	22
2.5.2 Der HIPOD/PROVE-Ansatz	23
2.5.3 Der PSi-Ansatz	25
2.5.4 Codesign von Kommunikationsprotokollen	27
2.6 Bewertung der untersuchten Ansätze	29
2.7 Anforderungen an ein fortgeschrittenes Kommunikationssystem	34
2.8 Systementwurf	35
2.9 Resümee	36
3 DAS MODULARE PROZESSORSYSTEM CHIMPSY	37
3.1 Komponentenklassifikation	37
3.2 Flexibilität	38

3.3 Implementierungsarchitektur	39
3.3.1 Verbindungsprozessor	40
3.3.1.1 Zentrale Verbindungskomponente	40
3.3.2 Erweiterte endliche Automaten	41
3.3.2.1 Warteschlangen	42
3.3.2.2 Zustandsübergangssystem	42
3.3.3 Arithmetische und logische Einheiten	44
3.3.4 Einheiten zur Unterstützung komplexer Funktionen	45
3.3.4.1 Zeitgeberverwaltung	46
3.3.4.2 Listenverwaltung	46
3.4 Datenfluß im Verbindungsprozessor	50
3.4.1 Globale Datenhaltung	50
3.4.2 Lokale Datenhaltung	51
3.4.3 Modifiziertes lokales Modell	52
3.5 Systemintegration	52
3.5.1 Alternativen einer Integration	52
3.5.1.1 Intelligenter Netzwerkadapter	52
3.5.1.2 Koprozessor-Ansatz	54
3.5.1.3 Multiprozessor-Ansatz	55
3.5.1.4 Ansatz der autonomen Systemkomponenten	56
3.5.2 Einsatzort	56
3.6 Resümee	57
4 REALISIERUNG UND LEISTUNGSBEWERTUNG	59
4.1 Verbindungsprozessor	59
4.1.1 Daten	59
4.1.2 Komponenten	61
4.1.3 Zentrale Verbindungskomponente	63
4.1.4 Implementierungsarchitektur	63
4.1.5 Synthese	64
4.2 Warteschlangen	66
4.2.1 Implementierungsarchitektur	66
4.2.2 Simulation	67
4.2.3 Verifikation	68
4.2.3.1 Spezifikation	70
4.2.3.2 Zeit- und Speicherbedarf	70
4.2.4 Synthese	72
4.3 Protokollautomaten	72
4.3.1 Protokollspeicher	73
4.3.2 Ablaufsteuerung	74
4.3.2.1 Sequencer	75
4.3.2.2 Sprungvektortabelle	77
4.3.3 Ausführungseinheit	78
4.3.4 Simulation	79
4.3.5 Verifikation	82
4.3.6 Synthese	82
4.4 Allgemeine ALUs	82
4.4.1 Befehle	82
4.4.2 Implementierungsarchitektur	83
4.4.3 Simulation und Verifikation	84
4.4.4 Synthese	84

4.5 ALU für die Listenverwaltung	85
4.5.1 Befehle	86
4.5.2 Implementierungsarchitektur	86
4.5.3 Speicherverwaltung	88
4.5.4 Mikrocode	90
4.5.5 Synthese	91
4.5.5.1 Anwendungsspezifische Schaltung	91
4.5.5.2 FPGA	95
4.6 Zeitgeber	96
4.6.1 Befehle	96
4.6.2 Datenstruktur	97
4.6.3 Implementierungsarchitektur	98
4.7 Resümee	102
5 SYSTEMENTWURF MIT CHIMPSY	103
5.1 Entwurfsablauf	103
5.2 Entwurfswerkzeuge	105
5.2.1 SDL-nach-VHDL-Compiler	105
5.2.1.1 Sprachumfang	106
5.2.1.2 Compiler	107
5.2.1.3 Zielarchitektur	108
5.2.2 Mikrocode-Compiler	110
5.2.2.1 Sprachumfang	110
5.3 Entwurfsbeispiele	111
5.3.1 Vorbedingungen	111
5.3.2 Protokollimplementierung	112
5.3.2.1 SDL-Spezifikation	112
5.3.2.2 Mikrocode-Programmierung	113
5.3.3 Verifikation	115
5.3.4 Simulation	119
5.4 Bewertung von CHIMPSY und des Systementwurfs	122
5.5 Resümee	123
6 ZUSAMMENFASSUNG UND AUSBLICK	125
6.1 Ausblick	127
ANHANG A PROTOKOLLAUTOMAT	129
A.1 Die Befehle der Ablaufsteuerung	129
A.2 Die Befehle der Ausführungseinheit	131
A.2.1 Varianten des MOVE-Befehls	132
ANHANG B VERIFIKATION	135
B.1 Warteschlange modelliert mit SMV	135
B.2 Programmrahmen eines Protokollautomaten	138

B.3 Beschreibung der Protokollautomaten für SMV mit Patroclus als Protokoll	143
ANHANG C SDL-NACH-VHDL-COMPILER	159
C.1 Bedienung und Optionen	159
C.2 Fehlermeldungen	159
C.3 Befehlssatz der E/A-Schnittstelle	160
C.4 Befehlssatz der ALU-Schnittstelle	161
C.5 Spezifikation des Inres-Protokolls in SDL/PR	162
C.6 Erzeugter VHDL-Code	166
ANHANG D SYNTHESEERESULTATE DER VERBINDUNGSKOMPONENTE	175
D.1 Verbindungsmatrix	175
D.2 Sender/Empfänger-Steuerung	176
D.3 Verbindungssteuerung	177
D.4 Gesamte Verbindungskomponente	178
ANHANG E SIMULATIONSMODELLE UND -ERESULTATE	179
E.1 Protokollautomaten	179
E.2 Weitere Komponenten eines Verbindungsprozessors	183
E.3 Quellenmodelle	183
E.4 Ausgewählte Ergebnisse der Simulationen	184
ANHANG F WERKZEUGE	189
F.1 Übersicht	189
F.2 Synopsys	190
F.3 Cadence / ES2	191
F.4 Xilinx / FPGA-Hardware	192
F.5 Gesamtübersicht	193
ABKÜRZUNGEN	195
LITERATURREFERENZEN	199
INDEX	213