

Dipl.-Ing. Michael Koch, Hagen

Verfahren zur Akzeleration der Simulation von VHDL-Modellen

Reihe **20**: Rechnerunterstützte
Verfahren

Nr. **206**

Inhaltsverzeichnis

Danksagung	III
Inhaltsverzeichnis	V
Liste der verwendeten Abkürzungen und Symbole	VIII
Kurzfassung	XI
1 Einleitung	1
1.1 Motivation der Arbeit	1
1.2 Ziel der Arbeit	3
1.3 Wesentliche Ergebnisse	4
1.4 Aufbau der Arbeit	5
2 Die Hardware-Beschreibungssprache VHDL	6
2.1 VHDL-Entwurfsablauf	7
2.2 Aufbau einer VHDL-Beschreibung	9
2.3 Simulation von VHDL-Modellen	12
2.3.1 Ereignisgesteuerte Simulation	12
2.3.2 Die Simulationsschleife	13
2.3.3 Delta Delays	14
2.3.4 Mehrwertige Logik und Auflösungsfunktion	15
2.4 Parallelisierbarkeit von VHDL-Anweisungen	16
2.4.1 Nebenläufige Anweisungen	17
2.4.2 Sequentielle Anweisungen innerhalb von Prozessen	19
2.4.3 Auswirkungen der Modellierung	21
3 Simulations- und Akzelerationsverfahren	22
3.1 Implementierungstechniken von Simulatoren	23
3.2 Hardwareakzeleration durch Parallelisierung	27
3.2.1 Stimulipartitionierung	28
3.2.2 Modell/Architektur-Partitionierung	29
3.2.3 Simulator/Programm-Partitionierung	31
3.3 Spezielle Akzelerationsmöglichkeiten	32

4	Simulation auf der Basis spezieller Hardware	34
4.1	Hardwaremodelle	35
4.2	Hardwarebeschleuniger	37
	4.2.1 IKOS NSIM	38
	4.2.2 Zycad Paradigm XP	39
4.3	Logikemulatoren	40
	4.3.1 Ablauf einer Simulation mit Logikemulator	42
	4.3.2 Verfügbare Systeme	42
4.4	Zusammenfassung	44
5	Programmierbare Hardwaremodelle (pHM)	45
5.1	Aufbau eines programmierbaren Hardwaremodells	45
5.2	Integration in einen Simulationsrechner	47
5.3	Auswahl der zu simulierenden Komponenten	49
5.4	Erstellung der notwendigen FPGA-Modelle	51
5.5	Ablauf der Simulation	52
5.6	Ergebnisse	56
6	Parallele VHDL-Simulation	59
6.1	Ablauf einer parallelen VHDL-Simulation	60
6.2	Analyse und Elaboration	61
6.3	Partitionierung	63
	6.3.1 Anforderungen an die Partitionierung	63
	6.3.2 Partitionierungsverfahren	64
6.4	Datenaustausch (Kommunikation)	66
6.5	Synchronisation	68
	6.5.1 Synchrone Synchronisationsverfahren (Lock Step)	69
	6.5.2 Konservative Synchronisationsverfahren	69
	6.5.3 Optimistische Synchronisationsverfahren	71
6.6	Bestehende Systeme	73
	6.6.1 Massiv parallele Mehrprozessorsysteme	74
	6.6.2 Parallelrechner (Transputersysteme)	76
	6.6.3 Mehrprozessor-Workstations	77
6.7	Zusammenfassung	79
7	Verteilte VHDL-Simulation in einem WS-Cluster	81
7.1	Erweiterte Elaboration	83
	7.1.1 Umwandlung der nebenläufigen Anweisungen	83
	7.1.2 Gewichtung der Prozesse	86
	7.1.3 Gewichtung von Signalen und Variablen	89

7.2	Partitionierung	90
7.2.1	Vorbereitung der Partitionierung	91
7.2.2	Partitionierung mit komplexer Kostenfunktion	98
7.2.3	Partitionierung von zyklenbehafteten Modellen	103
7.2.4	Zyklusfreie Partitionierung	105
7.2.5	Einfluß der Partitionierung auf die verteilte Simulation	109
7.3	Datenaustausch	110
7.4	Synchronisation	112
7.4.1	Anforderungsgesteuerte Synchronisation	112
7.4.2	Synchronisation mit globalem Controller	115
7.4.3	Einfluß der Synchronisation auf die verteilte Simulation	118
7.5	Der Ablauf der verteilten VHDL-Simulation	120
7.6	Ergebnisse	121
7.7	Vergleich mit anderen Systemen	124
8	Schlußbemerkungen	125
8.1	Zusammenfassung	125
8.2	Ausblick	126
	Anhang	128
	Literaturverzeichnis	130