

# Inhaltsverzeichnis

<b>Formelzeichen</b>	<b>VIII</b>
<b>1 Einleitung</b>	<b>1</b>
<b>2 Monolithische Integration von Leistungsbau- elementen und Ansteuer- elektronik</b>	<b>4</b>
2.1 Sperrschichtisolation . . . . .	4
2.2 Dielektrische Isolation durch Implantation von Sauerstoff (SIMOX) . . . . .	6
2.2.1 Einleitung . . . . .	6
2.2.2 Theoretische Betrachtungen . . . . .	12
2.2.3 Herstellung eines lokal vergrabenen Oxides . . . . .	22
2.2.4 Laterale Isolation . . . . .	24
2.2.5 Zusammenfassung . . . . .	29
<b>3 Bauelemente des Smart-Power-Prozesses</b>	<b>32</b>
3.1 Randstrukturen für Hochspannungsbau- elemente . . . . .	32
3.1.1 Grundlagen zum Durchbruch von pn-Übergängen . . . . .	32
3.1.2 Techniken zur Herstellung der Randstrukturen . . . . .	41
3.1.2.1 „bevelling“ . . . . .	41
3.1.2.2 Feldplatte . . . . .	42
3.1.2.3 „junction termination extension“ (JTE) . . . . .	43
3.1.2.4 „floatende“ Feldringe . . . . .	43
3.1.3 Meßergebnisse . . . . .	44

3.2	Der Leistungstransistor im Smart-Power-Prozeß . . . . .	48
3.2.1	Einleitung . . . . .	48
3.2.2	Aufbau des Leistungstransistors . . . . .	49
3.2.3	Prozeß zur Herstellung vertikaler DMOS-Transistoren . . . . .	54
3.2.4	Theoretische Betrachtungen zum vertikalen DMOS-Transistor . . .	61
3.2.4.1	Die Schwellenspannung $U_{th}$ . . . . .	62
3.2.4.2	Modellierung des Einschaltwiderstandes $R_{DS(on)}$ . . . . .	64
3.2.4.3	Simulation des Einschaltwiderstandes $R_{DS(on)}$ . . . . .	70
3.2.4.4	Zusammenfassung . . . . .	76
3.2.5	Ergebnisse der experimentellen Untersuchungen an vertikalen DMOS-Transistoren . . . . .	77
3.2.5.1	Einfluß des Transistorlayouts auf den Einschaltwiderstand	77
3.2.5.2	Weitere Verbesserungen des Transistorlayouts . . . . .	84
3.2.5.3	Einfluß des Transistorlayouts auf die Spannungsfestigkeit .	85
3.2.5.4	Einfluß des Transistorlayouts auf die Schwellenspannung .	89
3.2.5.5	Einfluß der Prozeßparameter auf den vertikalen DMOS . .	91
3.2.6	Strommessung beim vertikalen Leistungstransistor . . . . .	95
3.2.6.1	Grundlegende Eigenschaften . . . . .	95
3.2.6.2	Einfluß des Meßwiderstandes . . . . .	96
3.2.6.3	Weitere Einflußgrößen auf das Teilverhältnis . . . . .	101
3.2.6.4	Die Strommessung im Reversbetrieb . . . . .	102
3.2.6.5	Zusammenfassung . . . . .	105
3.3	CMOS-Bauelemente auf einem vergrabenen Isolator . . . . .	106
3.3.1	Eigenschaften von Transistoren in SIMOX-Substraten . . . . .	106
3.3.1.1	Der Seitenwandeffekt . . . . .	108
3.3.1.2	Der „single transistor latch“ . . . . .	114

---

3.3.1.3	Der „kink“-Effekt . . . . .	123
3.3.1.4	Vollständige Verarmung . . . . .	124
3.3.1.5	„dual gate“-Transistor . . . . .	127
3.3.1.6	Source-Partitionierung . . . . .	129
3.3.1.7	Der Substrateffekt . . . . .	135
3.3.2	Zener-Dioden in SIMOX-Substraten . . . . .	143
3.3.2.1	Layout von Zener-Dioden in SIMOX-Substraten . . . . .	144
3.3.2.2	Meßergebnisse . . . . .	146
3.3.2.3	Temperaturkompensation der Z-Dioden . . . . .	150
<b>4</b>	<b>Der Smart-Power-Prozeß</b>	<b>155</b>
<b>5</b>	<b>Anwendungsbeispiele</b>	<b>173</b>
<b>6</b>	<b>Zusammenfassung und Ausblick</b>	<b>177</b>
	<b>Literaturverzeichnis</b>	<b>179</b>