
INHALTSVERZEICHNIS

1 Einleitung und Stand der Technik	1
1.1 Multiplikationen adaptiver Genauigkeit: Eine neue Anforderung in der Bildverarbeitung	1
1.2 Konventionelle Verfahren zur adaptiven Multiplikation	6
1.2.1 Multiplikation im logarithmischen Zahlensystem	7
1.2.2 MSB-first Algorithmen	8
1.3 Abbildung regulärer Strukturen auf VLSI Hardware	10
1.3.1 Abbildung nach Kung	10
1.3.1.1 Allgemeine Formel der Convolution	10
1.3.1.2 Beispiel einer Abbildung	11
1.3.1.2.1 Datenabhängigkeitsgraph	11
1.3.1.2.2 Signalflußgraph (SFG)	12
1.3.1.2.3 Optimierungen	14
1.3.1.2.4 Multiprojektion	15
1.3.2 Zusammenfassung Abbildung	15
1.4 Methoden des Tests	16
1.4.1 Fehlermodelle	17
1.4.2 Off-line Test	18
1.4.2.1 Prüfpfadtechniken	18
1.4.2.2 Test mit Zufallszahlen	20
1.4.3 On-line Test	21
1.5 Zielsetzung und Lösungsansatz dieser Arbeit	26
2 Multiplikationen mit adaptiver Genauigkeit	28
2.1 Von der logarithmischen Multiplikation zu DIGILOG	28
2.2 Adaptiver Multiplikationsalgorithmus	29
2.3 Genauigkeit der adaptiven Multiplikation	32
2.3.1 Worst-case Fehler	32
2.3.2 Maximale Anzahl der Iterationen	34
2.3.3 Statistische Fehler	35
2.3.3.1 Statistische Anzahl der Iterationen	35
2.3.3.2 Erste Näherung des worst-case Fehlers	37
2.3.3.3 Anzahl der Iterationen mit Genauigkeitsschranke	38
2.4 Koeffizientenadaption	43
3 VLSI Architektur der adaptiven Multiplikation	45
3.1 Beschreibung der Architektur	45
3.2 Vergleich mit anderen Methoden	48
3.3 Ein Testelement adaptiver Genauigkeit	50
3.4 Zusammenfassung der Methode der adaptiven Genauigkeit	53
4 Abbildung auf testbare systolische Felder	54
4.1 Optimale Bestimmung der adaptiven Testelemente	55
4.1.1 Optimierung bezüglich Zeitverhalten	60
4.1.2 Optimierung bezüglich Hardwareoverhead	60
4.1.3 Beispiele	62
4.1.4 Einbeziehung der Abbildung	63
4.1.4.1 Test einzelner PEs	64
4.1.4.2 Test der Operatorengruppe	66
4.2 Varianten der Algorithmusorganisation	68

4.2.1 Wort/Wort-Multiplikation (1)	68
4.2.2 Wort/Wort-Multiplikation (2)	69
4.2.3 Bit/Wort-Multiplikation	71
4.2.4 Bit/Bit-Multiplikation	74
4.3 Durchführung der Abbildungen	79
4.3.1 Wort/Wort-Multiplikation (1)	79
4.3.2 Wort/Wort-Multiplikation (2)	83
4.3.3 Bit/Wort-Multiplikation	86
4.3.4 Bit/Bit-Multiplikation	89
4.4 Abbildung mit DIGILOG als Testelement	93
4.4.1 Wort/Wort-Multiplikation (2)	93
4.4.2 Bit/Wort-Multiplikation	97
4.4.3 Bit/Bit-Multiplikation	101
4.4.4 Wort/Wort-Multiplikation (1)	104
4.4.5 Zusammenfassung	106
5 Ein rekonfigurierbares Prozessorfeld mit on-line Genauigkeitssteuerung	108
5.1 Eindimensionale Filteralgorithmen	109
5.2 Algorithmen der low-level Bildverarbeitung	113
5.3 VLSI Architektur und Realisierung des Prozessorfeldes	121
5.4 Vergleich mit anderen Methoden	123
5.5 Mögliche Erweiterungen	125
ZUSAMMENFASSUNG	127
LITERATUR	130