

Inhaltsverzeichnis

1	Einleitung	1
2	Grundlagen des Entwurfs von MOS-Zellen	6
2.1	Layoutstile	6
2.2	Problemstellung	8
2.3	Graphentheoretische Formulierung	11
2.4	Bekannte Verfahren	13
2.4.1	N-P-unabhängiger Layoutstil	13
2.4.2	N-P-abhängiger Layoutstil	18
3	Ein neues Verfahren zur Funktionszellengenerierung	31
3.1	Konzept des neuen Verfahrens	31
3.2	Schaltungspartitionierung	34
3.3	Generierung von Transistorketten	35
3.3.1	DSP-Blöcke	35
3.3.2	ND-Blöcke	37
3.4	Plazierung der Blöcke	39
3.4.1	Breitspursuche	41
3.4.2	Analytische Zielfunktion	43

3.4.3	Regelbasiertes Bewertungsmodul	45
3.5	Ein spezielles Platzierungsverfahren	48
3.6	Implementierung und Ergebnisse	51
4	Grundlagen der Layoutverifikation	56
4.1	Einleitung	56
4.1.1	Design Rule Check	56
4.1.2	Schaltungsextraktion	57
4.2	Bekannte Algorithmische Grundkonzepte	59
4.2.1	Raster-orientierte Algorithmen	59
4.2.2	Kontur-orientierte Algorithmen	60
4.2.3	Kanten-orientierte Algorithmen	61
4.3	Klassisches Scanline-Verfahren	62
4.3.1	Problemstellung	63
4.3.2	Das eindimensionale Problem	65
4.3.3	Das zweidimensionale Problem	66
4.3.4	Die Rechenkomplexität	70
5	Ein neuer topologieangepaßter Schaltungsextraktor	72
5.1	Aufgabenstellung	72
5.2	Ein optimiertes Scanline-Verfahren	73
5.2.1	Datenvorbereitung	74
5.2.2	Manhattan-Scanline	74
5.2.3	Allgemeines Scanline-Verfahren	84
5.3	Generierung der primären Knoten	88

<i>INHALTSVERZEICHNIS</i>	VII
5.4 Extraktion elektrischer Komponenten	91
5.5 Knotenreduzierung	99
5.6 Die Rechenkomplexität der entwickelten Algorithmen	105
5.7 Implementierung und Ergebnisse	108
Zusammenfassung und Ausblick	112
Literaturverzeichnis	115