

# Inhaltsverzeichnis

Einleitung .....	1
1. Formulierung des Charge-Sheet-Modells.....	4
1.1. Einleitung .....	4
1.2. Ausgangspunkt der Analyse .....	5
1.3. Charge-Sheet-Ansatz .....	7
1.4. Modellierung der Oberflächenpotentiale.....	11
1.4.1. Poisson-Gleichung.....	12
1.4.2. Verarmung am hinteren Interface.....	16
1.4.3. Akkumulation am hinteren Interface .....	22
1.4.4. Unvollständige Verarmung .....	24
1.4.5. Diskussion.....	26
1.5. Inversionsladung.....	30
1.6. Kapazität der MISIM-Struktur.....	31
1.6.1. Modellgleichungen.....	31
1.6.2. Diskussion.....	33
1.7. Drainstrom.....	34
1.8. Näherungen für spezielle Arbeitsbereiche des Transistors .....	37
1.8.1. Schwache Inversion.....	37
1.8.2. Starke Inversion .....	40
1.8.3. Volumeninversion.....	42
1.9. Zusammenfassung.....	42
2. Modellverifikation.....	44
2.1. Einleitung .....	44
2.2. Quantitative Präzisierung des SOI CMOS-Prozesses.....	45
2.2.1. Schichtdicken .....	46
2.2.2. Dotierstoffkonzentrationen .....	46
2.2.3. Flachbandspannungen.....	46
2.2.4. Arbeitsbereich des SOI MOS-Transistors.....	47
2.2.5. Prozeßspezifikation der SOI MOSFETs.....	48
2.3. Spannungsabfall über dem Substrat .....	49
2.4. Vollständige Verarmung .....	53
2.5. Einfluß von Akkumulationsladungen .....	60
2.6. Charge-Sheet-Näherung.....	63
2.7. Zusammenfassung.....	65

3. Modellerweiterungen für die Schaltungssimulation .....	66
3.1. Einleitung .....	66
3.2. Beweglichkeitsreduktion .....	66
3.3. Kanallängenmodulation .....	70
3.4. Intrinsische Kapazitäten .....	75
3.4.1. Triodengebiet .....	76
3.4.2. Sättigung .....	77
3.4.3. Diskussion .....	78
3.5. Extrinsische Elemente .....	81
3.5.1. Parasitäre Kapazitäten .....	82
3.5.2. Bahnwiderstände .....	83
3.6. Floating-Body-Effekte .....	84
3.6.1. Kinkeffekt .....	85
3.6.2. Drain-Source-Durchbruch .....	87
3.7. Hochtemperaturmodell .....	91
3.8. Zusammenfassung .....	96
4. Anwendungen in der Analog- und Digital-Schaltungstechnik .....	97
4.1. Einleitung .....	97
4.2. Bauelemente- und Modellparameter .....	97
4.3. CMOS-Inverter .....	104
4.3.1. Design-Überlegungen .....	104
4.3.2. Wirkungsweise des Drain-Durchbruchs .....	106
4.3.3. Dynamisches Verhalten .....	109
4.3.4. Hochtemperaturverhalten .....	111
4.4. Statische Speicherzelle .....	113
4.5. CMOS-Operationsverstärker .....	119
4.5.1. Zweistufiger Operationsverstärker .....	119
4.5.2. Einstufiger Operationsverstärker für niedrige Betriebs- spannungen .....	123
4.6. Rechenzeiten .....	125
4.7. Zusammenfassung .....	126
5. Zusammenfassung .....	127
Anhang A: Numerische Berechnung der Oberflächenpotentiale .....	128
Anhang B: Simulation der MISIS-/MISIM-Struktur .....	131
Anhang C: Iteratives Verfahren zur Ermittlung des Sättigungspotentials .....	135
Anhang D: Explizite Beziehungen für die intrinsischen Kapazitäten .....	137
Literatur .....	141